

EPUS- 2908

Japanese Patent Application Laid-open No. 55-120095

1. Title of the Invention

Image display device

2. Claims

(1) An image display device in which field effect transistors are formed in rows and columns on a semiconductor substrate, including one of electrodes of the field effect transistors as first electrodes and transparent electrodes formed on a translucent substrate disposed above the first electrodes through a liquid crystal as second electrodes, wherein each of the second electrodes is connected in common in the row direction, the image display device comprising an inversion means for inverting the polarity of a voltage applied to the liquid crystal interposed between the first electrodes and the second electrodes which are connected in common in each row direction at a specific cycle.

(2) The image display device according to claim 1, wherein the specific cycle is either every field or every frame.

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報 (A)

昭55—120095

⑬ Int. Cl.<sup>3</sup>G 09 G 3/18  
G 06 F 3/147  
G 09 F 9/37

識別記号

庁内整理番号

7250—5C  
7629—5B  
7013—5C

⑭ 公開 昭和55年(1980)9月16日

発明の数 1  
審査請求 未請求

(全 6 頁)

## ⑮ 画像表示装置

門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 特 願 昭54—28111

⑰ 発 明 者 松尾保

⑱ 出 願 昭54(1979)3月9日

門真市大字門真1006番地松下電  
器産業株式会社内

⑲ 発 明 者 石原健

⑳ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電  
器産業株式会社内

門真市大字門真1006番地

㉑ 発 明 者 畑田賢造

㉒ 代 理 人 弁理士 中尾敏男 外1名

## 明 細 書

## 1、発明の名称

画像表示装置

## 2、特許請求の範囲

(1) 半導体基板上に行列状に電界効果トランジスタが形成され、前記電界効果トランジスタの一方の電極を第1電極とし、前記第1電極上に液晶を介して設置された、透光性基板の透明電極を第2電極とした画像表示装置において、前記第2電極は前記行方向でそれぞれ共通接続され、前記共通接続された各行方向の第2電極と、前記第1電極との間の液晶に加わる電圧の極性を、所定の周期で反転させる反転手段を備えていることを特徴とする画像表示装置。

(2) 所定の周期が、フィールドごと、またはフレームごとであることを特徴とする特許請求の範囲第1項記載の画像表示装置。

## 3、発明の詳細な説明

本発明は、画像表示装置、特に液晶を用いた画像表示装置に関する。

液晶表示装置は反射型を主としたDSM(動的散乱モード)型と透過型のFE(電界効果)型の2種類があり、すでに電子式卓上計算機、デジタル腕時計などで実用化の段階にある。これらはいずれも液晶に印加される電圧としては、'1'レベルかしくは'0'レベルのデジタル信号電圧として印加され、且つ液晶表示装置としては液晶をはさむ両電極ともガラス基板もしくはセラミック基板等の平面上の金属薄膜もしくは透明電極により構成されている。

一方アナログ信号を含む画像表示装置としては液晶とMOS型FETアレイを組み合わせて構成される表示装置が発表されている。この構成例を第1図に示す。第1図において、単位絵素を構成するのはMOS型FET1、信号蓄積用コンデンサ2、液晶セル3、である。この基本的な動作を次に記す。まず、MOS型FETをpチャンネルとし、 $x_1$ にゲート信号として負のパルス電圧が印加されると、FET1はオン状態となり、 $y_j$ に印加されたアナログのビデオ信号はFET1を通

してコンデンサ2に充電される。負のバ<sup>3</sup>ルス電圧が消滅すればFET1はオフ状態となるが、通常FETのリーク電流および液晶セル3を流れる電流は極めて小さいのでコンデンサに充電されたビデオ信号に比例した電圧はかなりの時間保存され、液晶セル3に印加されつづけている。

液晶としてDSM型(Dynamic Scattering Mode)を使用した場合は、印加される電圧の大小により入射光の散乱強度が異なるため、ビデオ信号に対応した白レベルとして観測される。このゲート信号を $x_i$ より $x_i+1, x_i+2, \dots$ と線順次に走査し、その位置に対応したビデオ信号 $y_j, y_j+1, y_j+2, \dots$ より一斉に並列に印加することにより全体として画像が表示される。

第2図にFETを含めた1絵素の断面図を示す。pチャンネル型FETの場合、1はn型Si基板、2, 3はそれぞれp<sup>+</sup>拡散領域でソース、ドレインであり、ソース2は第1図の $y_j$ 方向に接続されている。4はゲート酸化膜、5はゲート電極で $x_i$ 方向に接続されている。6は液晶セルの一方

同期して、透明電極ライン $Z_i$ を線順次走査することにより、交流駆動を行なわせんとするものである。

第4図に本発明の絵素部分の断面図を示す。pチャンネルの場合、1はn型Si基板、2, 3はそれぞれp<sup>+</sup>拡散領域でソース、ドレインであり、ソース2は第1図の $y_j$ 方向に接続されている。4はゲート酸化膜、5はゲート電極で $x_i$ 方向に接続されている。6は液晶セルの一方の電極を構成し、且つ薄い酸化膜8により基板1との間にコンデンサを形成している。9はDSM型液晶、10は透明電極で $x_i$ に相当し帯状のスリットによって、ゲート信号列 $x$ と同方向には接続されているが $y$ 方向には絶縁された帯状に分割されている。したがってゲートラインの本数と同数の透明電極ラインがある。

第5図に本構成パネルと周辺駆動回路を示す。第5図において、1はシフトレジスタで構成されているX電極駆動回路、2はシリアル入力端子、3はクロック信号入力端子、4はシフトレジスタ

の電極を構成し、且つ、薄い酸化膜8により基板1との間にコンデンサを形成している。9はDSM型液晶、10は対間電極で透明電極となっており画面全体に単一構造である。11は表面のガラス基板である。以上の構成により前記動作を行なわせている。

このような構成では液晶に印加される電圧の極性は、すべて一方向で直流駆動となっており電極反応液晶の分解等、寿命などの信頼性に乏しい。

本発明は上記問題点を解消し、交流駆動を可能ならしめて従来の直流駆動による特性の劣化を防止し、且つ画質の向上を図らんとするものであって、以下図面とともに本発明を実施例に基づいて説明する。

第3図に本発明の絵素部分の構成例を示す。

1は絵素単位を構成するMOS型FET、2は信号蓄積用コンデンサ、3は液晶セルである。従来例ではゲート信号ライン $x_i$ 、ビデオ信号ライン $y_j$ のみであったが本構成では、透明電極ライン $Z_i$ が附加されている。本発明は、ゲート信号ラインと

で構成されているZ電極駆動回路、5はシリアル信号入力端子、6はクロック信号入力端子、7は直列の映像信号を総Y電極数の並列の映像信号に変換するサンプルホールド回路で構成されているY電極駆動回路、8はクロック信号入力端子、9は映像信号極性切り換え回路、10は映像信号入力端子、11は切り換え信号入力端子である。

第6図に第5図の映像信号極性切り換え回路9の具体回路と、第5図の各部の入力端子に加える信号の発生回路とを示す。第6図において一点鎖線で囲まれた部分が映像信号極性切り換え回路9であり、21は同期信号入力端子、22は垂直同期信号と水平同期信号とを分離するV・H分離回路、23はF.F(フリップフロップ)回路、24はクロック発振器である。さらに第7図、第8図に以上述べた各部の波形を示す。

次に上記構成の動作説明をする。まず第6図において、端子25に正極性のビデオ信号が加えられると、トランジスタ(Tr)26のエミッタ抵抗とコレクタ抵抗とが等しいとすると、Tr26のエ

ミッタからは第7図dに示す正極性、コレクタからは第7図bに示す負極性で、振幅が等しいビデオ信号がそれぞれ得られる。そしてそれぞれの信号はコンデンサ27, 28で交流結合され、負極性のビデオ信号がTr29で増幅され、正極性のビデオ信号がTr30で増幅される。一方端子21に加わる複合同期信号は、V・H分離回路22で第7図cに示す垂直同期V信号と同図gに示す水平同期H信号とに分離される。そしてH信号gはクロック発振器24に加えられ、H信号gに同期したクロック信号を発生させる。このクロック信号を第5図のクロック入力端子8に加える。一方V信号はF・F23に加わり分周され、第7図dに示す出力信号を得る。今F・F23の出力が'1'の時、nチャンネルMOS Tr(n-MOS Tr)31、p-MOS Tr32のゲートは'1'、インバータ33によりp-MOS Tr34、n-MOS Tr35のゲートは'0'となり、n-MOS Tr31とp-MOS Tr34がオン状態、p-MOS Tr32とn-MOS Tr34がオフ状態となり、Tr29の出力

の負極性のビデオ信号が出力として得られ、一方F・F23の出力が'0'の時n-MOS Tr31、p-MOS Tr32のゲートは'0'、p-MOS Tr34 n-MOS Tr35は'1'となり、今度はp-MOS Tr32、n-MOS Tr35がオン状態、n-MOS Tr31とp-MOS Tr34がオフ状態となり、Tr30の出力の正極性のビデオ信号が出力として得られる。したがって、第7図eに示す如く、1フィールドごとにビデオ信号の極性が反転する信号が得られ、第5図のY電極駆動回路7に加わえる。

一方、V・H分離回路22より得たV信号を走査パルス発生回路36に加え、V信号に同期した一水平走査パルス幅の第7図fに示すパルス信号を得て第5図のシリアル入力端子2に加わえる。又V・H分離回路22から得た第7図gに示すH信号は第5図のクロック信号入力端子3, 6にも加える。

第5図のX電極駆動回路1において、第7図の信号fを入力信号として、第7図の信号gに示されるH信号をクロックとして1Hごと順次シフト

して、各X電極 $x_1, x_{i+1}, \dots$ に第8図Aの9パルス信号波形 $x_1, x_{i+1}, x_{i+2}$ を得る。第8図Aは1フィールド周期のゲート信号波形でpチャンネルFETを用いる場合、負のパルスになり $A_i$ の期間i行のFETがオンしている。次の $A_{i+1}$ のタイミングではゲートがi行のFETがオフになりi+1行のFETがオンしていく。このゲートがオンしている期間に $y_j, y_{j+1}, y_{j+2}, \dots$ よりビデオ信号が一斉に並列入力されコンデンサにその電荷が蓄えられ液晶セルのFET側の電極に電圧を与える。

一方第5図のZ電極駆動回路4において、第7図の信号dをシリアル入力信号として、第7図の信号gに示されるH信号をクロックとして1Hごと順次シフトし、各Z電極 $z_1, z_{i+1}, \dots$ に第8図Aの信号 $x_1, x_{i+1}, \dots$ に同期した第8図Bのパルス信号波形 $z_1, z_{i+1}, z_{i+2}, \dots$ を得る。第8図Bは1フィールドごとに反転するパルス信号で、'1'の時の出力電圧は $+V_{th}$ 、'0'の時の出力電圧は $-V_g$ である。ここで $V_{th}$ は液晶が散

乱はじめるスレッシュ・ホールド電圧であり、 $V_g$ は液晶の散乱が飽和する電圧である。

第5図のY電極駆動回路7では、1フィールド毎に極性が反転せられた第7図の信号eを、水平絵素数に対応する数だけサンプリングした信号を作り、1フィールド毎に電極 $y_1, y_{i+1}, y_{i+2}, \dots$ に同時に出力する。このとき、この出力のダイナミック範囲は0Vから $(-V_g + V_{th})V$ とされ、この間で中間調が得られる。したがって、白と黒が順次入れ換わるビデオ信号が致来したとし、またその時第6図のF・F23の出力が'1'であるとする、極性切り換え回路9からの出力は、負極性のビデオ信号となるので、第7図の信号hのDに示すように、その信号は白の時 $-V_g + V_{th}$ 、黒の時0Vとなる。すなわち、第8図Aに示す負のゲートパルス信号 $x_i$ によりMOS Trがオンして信号蓄積用コンデンサCに、それら映像信号に応じた電圧を蓄える。そして、この時、第8図Bに示す信号 $z_i(+V_{th})$ が液晶セルLの表面透明電極に加えられ、液晶セルLには第7図の信号h

11  
 のDに示す電圧、すなわち白レベルでは表面電極が基板電極より $D_0$ だけ高い電圧、黒レベルでは表面電極が基板電極より $V_{th}$ だけ高い電圧が、次にMOS Trがオンになるまで1フィールド間印加され続ける。次に次のフィールド時には、第6図のF、F23の出力が'0'になり、Y電極駆動回路7の入力信号は第7図の信号aに示す正極性のビデオ信号に切り換わり、出力は映像信号が白の時0V、黒の時 $-V_s + V_{th}$ となる。そして同じく負のゲートパルスで信号蓄積用コンデンサCにそれぞれ映像信号に応じた電圧が充電され、そしてこの時、今度は信号 $z_1$ は $-V_s$ になり、第7図の信号hのEに示す電圧、すなわち白レベルでは表面電極が基板電極より $V_s$ だけ低い電圧、黒レベルでは表面電極が基板電極より $V_{th}$ だけ低い電圧が液晶セルに1フィールド間加わり続けることになる。

以上の説明からわかるように、本発明では1フィールドごとに液晶セルに印加される電圧の極性が反転して交流駆動をおこなわせることができる。

13  
 なお、本発明の実施例では、 $240 \times 240$ の画素数、240本の透明電極ラインを用いる液晶パネルを使用した。

- 1、交流駆動により液晶セルの信頼性寿命が大巾に改善された。
- 2、クロス・トークが減少し画のニジミが著しく小さくなった。
- 3、直流駆動では時間とともにコントラストが電極反応生成物のため劣化していくが、交流駆動により、この劣化が防止された。

#### 4、図面の簡単な説明

第1図は従来の液晶を用いた画像表示装置の等価回路図、第2図は同回路図の1画素の断面構造図、第3図は本発明の液晶を用いた画像表示装置の一実施例を示す等価回路図、第4図は同回路図の1画素の断面構造図、第5図は本発明の表示装置を駆動する回路のブロック図、第6図は第5図の具体回路図、第7図及び第8図A、Bは第5図に示す回路図の各部波形図である。

1……X電極駆動回路、2……シリアル入力端

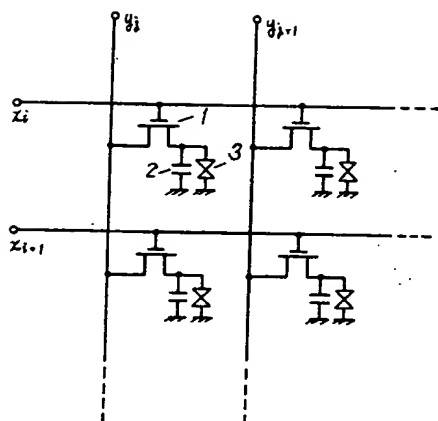
この場合、重要なことはビデオ信号の位相を反転させる映像信号極性切り換え回路9は単なる電圧極性の反転ではなく、ビデオ信号の振巾の中心点を中心とする位相反転であり、反転したことによって液晶セルに印加される電圧の絶対値が、ほぼ等しくなるように透明電極電圧もしくはビデオ信号電圧のバイアス電圧を調整することである。かくして、ほぼ平均的に等価な電圧配分の交流駆動が可能となる。

また画素数が増えるとその本数だけ透明電極本数が増加し、これを駆動する集積回路チップとの接続が多くなる。通常チップとの接続はワイヤボンディングによりなされているが本発明のような場合ではこれは極めて困難であり実用的ではない。したがって本発明はこの接続の実現をはかるために、透明電極が付着された透明ガラス基板の同一主面上にビームリード法、もしくはフリップチップ法等のワイヤレスボンディング法によりZライン駆動用の集積回路チップを設置している。この方法により本発明を容易に実施することができる。

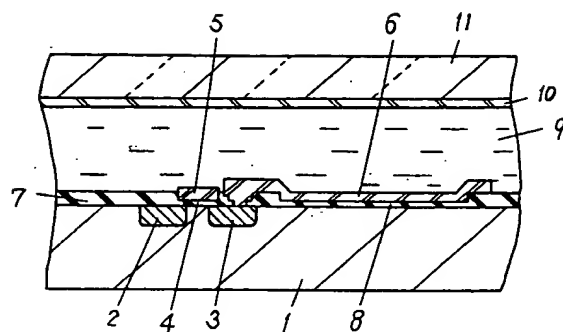
14  
 子、3……クロック信号入力端子、4……Z電極駆動端子、5……シリアル信号入力端子、6……クロック信号入力端子、7……Y電極駆動回路、8……クロック信号入力端子、9……映像信号極性切り換え回路、10……映像信号入力端子、11……切り換え信号入力端子。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

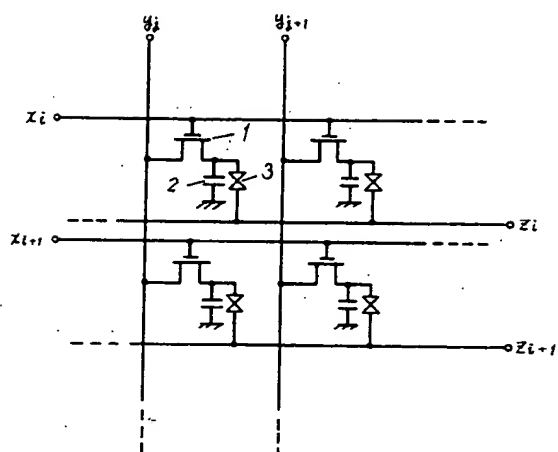
第 1 図



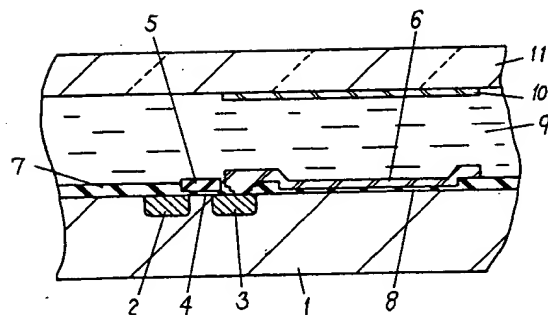
第 2 図



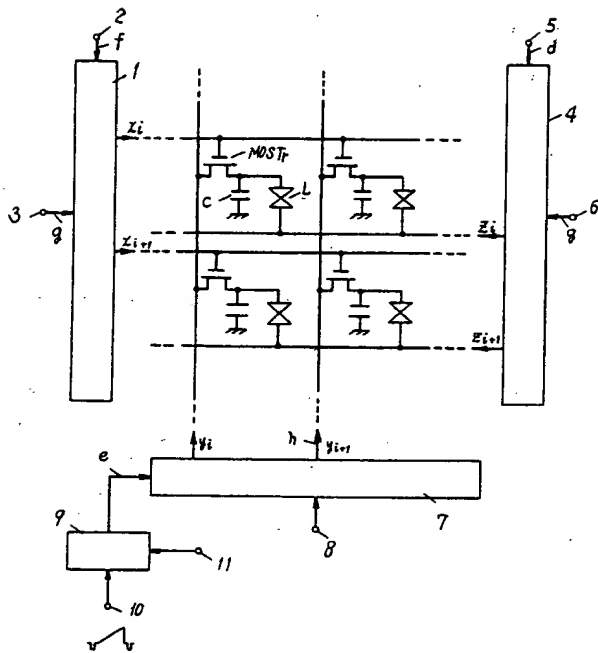
第 3 図



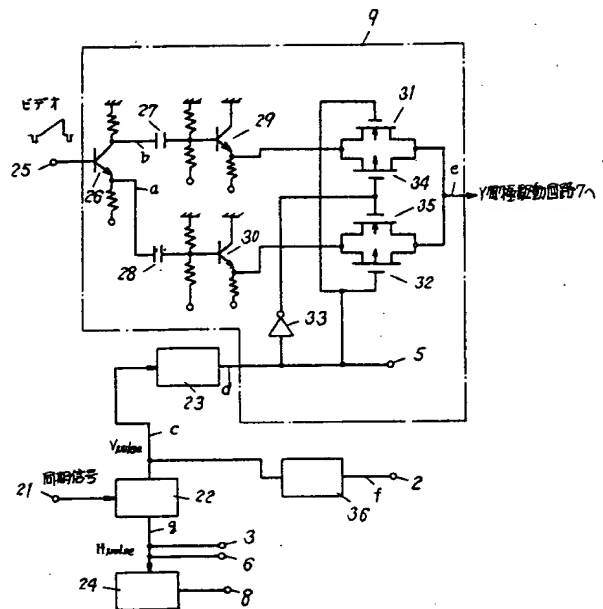
第 4 図



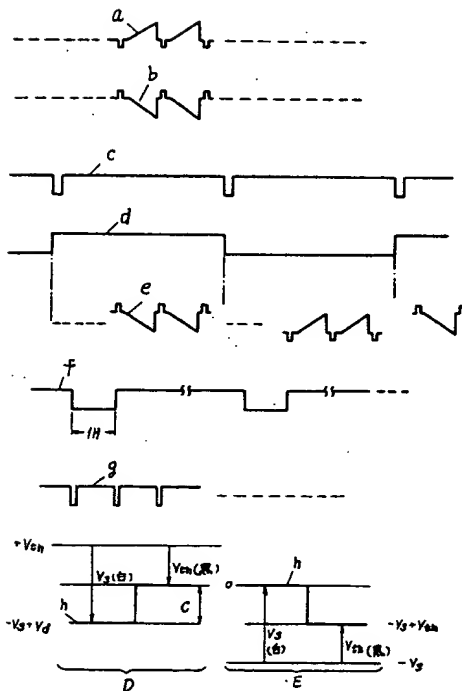
第 5 図



第 6 図



第 7 図



第 8 図

